

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-68571

(P2001-68571A)

(43) 公開日 平成13年3月16日 (2001.3.16)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード <sup>*</sup> (参考)
H 0 1 L 21/8247		H 0 1 L 27/10	4 3 4
27/115			4 6 1
21/8238		27/08	3 2 1 N
27/092			3 2 1 D
27/10	4 6 1	29/78	3 7 1

審査請求 未請求 請求項の数 1 O L (全 9 頁) 最終頁に続く

(21) 出願番号 特願2000-214545 (P2000-214545)

(22) 出願日 平成12年7月14日 (2000.7.14)

(31) 優先権主張番号 1 4 3 7 9 6

(32) 優先日 平成11年7月14日 (1999.7.14)

(33) 優先権主張国 米国 (U S)

(71) 出願人 590000879

テキサス インストルメンツ インコーポ  
レイテッド

アメリカ合衆国テキサス州ダラス、ノース  
セントラルエクスプレスウェイ 13500

(72) 発明者 フレイドーン メフラド

アメリカ合衆国 テキサス、プラノ、イー  
グル パス 5008

(72) 発明者 ジー サイア

アメリカ合衆国 テキサス、プラノ、シダ  
ー パレイ ドライブ 4408

(74) 代理人 100066692

弁理士 浅村 皓 (外3名)

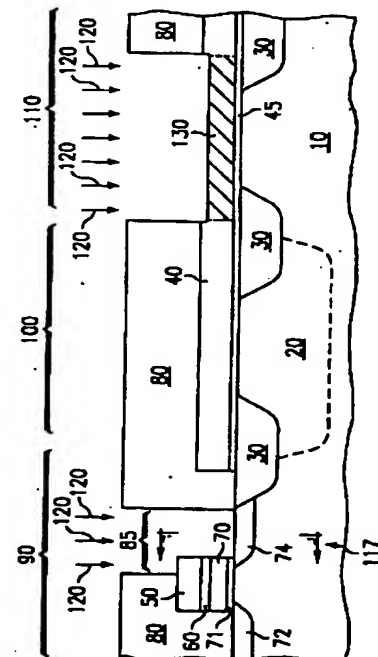
最終頁に続く

(54) 【発明の名称】 簡単化プロセスで以て埋込みフラッシュ集積回路を製作する方法

(57) 【要約】

【課題】 埋込み集積回路を減少した数のマスキング・レベルと改善エッチング・プロセスで以て製作する方法を提供する。

【解決手段】 半導体基板10、20上にホトレジスト膜80を形成し、フラッシュ・メモリ・アレイ領域90内のソース線領域85及びCMOS回路領域100、110内の多結晶シリコン膜領域40を露出するためにホトレジスト層80にパターニングを施す。NMOSトランジスタのゲート電極を形成するために使用することになる多結晶シリコン領域130とフラッシュ・メモリ・アレイ領域90内のソース線77と一緒に同時にドーパント120を打ち込む。



1

## 【特許請求の範囲】

【請求項1】 埋込みフラッシュ集積回路を製作する方法であって、  
半導体基板上にホトレジスト膜を形成するステップと、  
フラッシュ・メモリ・アレイ内のソース線領域とCMOS回路内の多結晶シリコン膜領域とを露出するために前記ホトレジスト膜にパターンニングを施すステップであって、前記多結晶シリコン膜領域がNMOSトランジスタのゲート電極を形成するために使用されることになる前記パターンニングを施すステップと、  
露出された前記ソース線領域と露出された前記多結晶シリコン膜領域とにドーパント・イオン種を同時に打ち込むステップとを包含する方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、一般に電子装置の分野、特に減少した数の処理ステップで以て埋込みフラッシュ・メモリ回路を形成する方法に関する。

【0002】テレビジョン、電話、ラジオ、及びコンピュータのような電子機器は、集積回路、メモリ・チップ等のような半導体製構成要素を使用してしばしば構成される。半導体製構成要素は、典型的に、トランジスタ、キャパシタ、ダイオード、抵抗器等のような、半導体基板上に製作された種々のマイクロエレクトロニック装置から構成される。各マイクロエレクトロニック装置は、典型的に、半導体基板上に形成された導体領域、半導体領域、及び絶縁物領域の作るパターンである。

【0003】半導体基板上のマイクロエレクトロニック装置の密度は、種々のマイクロエレクトロニック装置の各々間の間隔を縮めることによって高められる。こうして間隔を縮めることによって、非常に多数のこのようなマイクロエレクトロニック装置を半導体基板上に形成することが許される。結果として、半導体製構成要素の計算能力及び速度を大いに向上する。

【0004】フラッシュEPROM又はフラッシュEEPROMとしてまた知られたフラッシュ・メモリは、各メモリ・セルがフローティング・ゲート・トランジスタを有するメモリ・セルのアレイから形成される半導体製構成要素である。データをアレイ内の各セルに書き込むことはできるが、しかしそのデータはいくつのセルからなるブロックの中で消去される。各セルは、ソース、ドレイン、フローティング・ゲート、及び制御ゲートを有するフローティング・ゲート・トランジスタである。フローティング・ゲートは、ドレインからの書き込みにチャネル・ホット・エレクトロンを使用しかつソースからの消去にファウラーノルドハイム・トンネル現象(Fowler-Nordheim tunneling)を使用する。アレイの行中の各セル内の各フローティング・ゲートのソースがソース線(source line)を形成するように接続される。

2

【0005】CMOS論理回路内へのフラッシュ・メモリの埋込み(埋込みフラッシュ)がハード・ディスク・コントローラのような応用向けデジタル信号プロセッサのようなかなり複雑な集積回路を構築するのに使用されることが増えつつある。慣例では、CMOS集積回路製作において、NMOSトランジスタ及びPMOSトランジスタの両方の多結晶シリコン・ゲートが拡散で以て又は追加ホトリソグラフィ・マスクなしでのリンを用いたイオン打込みで以てn形ドーパされた。CMOS集積回路内に現在使用されているトランジスタの寸法が縮まるに従って次のような結果に立ち至っている。すなわち、NMOSトランジスタのゲートがn形ドーパされるがこれに用いれるドーパントがPMOSトランジスタのゲートに入らないようにホトリソグラフィ・パターン及びマスキング・ステップを使用してブロックされる。PMOSトランジスタのゲートは、PMOSトランジスタのソース領域及びドレイン領域の形成中p形ドーパントを打ち込まれる。このプロセスの結果、NMOSトランジスタ及びPMOSトランジスタの両方内に適正しきい電圧を生じる。

【0006】フラッシュ・メモリ・アレイ内で、連続ソース線が回路実装密度を上げるためにしばしば使用される。この連続ソース線は、セルフ・アライン・ソース、すなわち、SAS(self-aligned source)プロセスを使用して形成される。ここで、隣接フラッシュ・メモリ・セル・トランジスタのソース領域間のアイソレーション領域がリソグラフィ及びエッチング・プロセスを使用して除去される。ホトリソグラフィはパターン化レジスト膜を形成するために使用され、かつ露出酸化物アイソレーションが酸化物のエッチング・プロセスを使用して除去される。次いで、連続ソース線が打込みマスクとして作用するホトレジストと共にn形ドーパント・イオン種の打込みを使用して形成される。

## 【0007】

【発明が解決しようとする課題】埋込みフラッシュ集積回路の製作において、それらCMOSトランジスタがSASプロセス中マスクされ、次いで、フラッシュ・メモリ・セル及び連続ソース線の形成の後、これらと別々に処理される。これは、CMOSトランジスタ・ゲート構造を形成するためにドーパ多結晶シリコン及びアンドーパ多結晶シリコンを同時にエッチングする能力がないことに主として原因がある。埋込み集積回路のCMOS部分とフラッシュ部分のこのマスキング及びこれら両部分の別々の処理は、プロセスに莫大な費用を追加する多くのホトリソグラフィ・マスキング・レベルを必要とする複雑なプロセスを生じる。

## 【0008】

【課題を解決するための手段】したがって、埋込みフラッシュ集積回路を形成する簡単化プロセスの必要が起こっている。本発明は、マスキング・レベルの数を減らす

3

こと及び改善エッチング・プロセスを通してこれを成し遂げる方法を提供する。本方法は、半導体基板上にホトレジスト膜を形成するステップ、フラッシュ・メモリ・アレイ内のソース線領域及びCMOS回路内の多結晶シリコン膜領域を露出するためにホトレジスト膜にパターニングを施すステップであって多結晶シリコン膜領域がNMOSトランジスタのゲート電極を形成するために使用されることになるステップ、及び露出されたソース線領域及び露出された多結晶シリコン膜領域に同時にドーパント・イオン種を打ち込むステップを包含する。

## 【0009】

【発明の実施の形態】本発明及びその利点をより完全に理解するために、添付図面と関連して行われる下記の説明を参照する。これらの図面で等しい符号は等しい特徴部分を表す。

【0010】図1Aから1Gは、本発明の実施の形態による埋込みフラッシュ集積回路を形成する簡単化プロセスを示す。

【0011】図1Aは、埋込みフラッシュ集積回路の部分の断面図である。メモリ・セルが領域90に、PMOSトランジスタが領域100に、及びNMOSトランジスタが領域110に形成されることになる。半導体基板がp形シリコン領域10と共にn形シリコン領域20を含み、領域20内にPMOSトランジスタが形成されることになる。領域10及び20の両方は、バルク基板ウェーハの部分として又はバルク基板ウェーハ上に形成されたエピタキシャル・シリコン膜としてのどちらかで単結晶シリコンを含む。アイソレーション領域30が基板内に形成されて、集積回路の部分として形成される種々の装置間を電氣的にアイソレートする。これらのアイソレーション領域は、二酸化シリコンを含みかつシャロー・トレンチ・アイソレーション、すなわち、STI (shallow trench isolation) 構造又はローカル酸化構造、すなわち、LOCOS (local oxidation structures) のどちらかであることになる。図1A~1Gに示したアイソレーション構造は、STI構造を表す。ゲート誘電体膜45がNMOSトランジスタ及びPMOSトランジスタ構造の部分形成することになる半導体基板を覆って形成される。このゲート誘電体膜45は、酸化シリコン、酸化窒化シリコン、窒化シリコン、又はなんらかの適当な材料を含むことができる。領域90内のフラッシュ・メモリ・セルは、n形ドレイン領域72及びn形ソース領域74を含む。フラッシュ・メモリ・セルはまた、ゲート誘電体膜71、フローティング・ゲート70、多結晶間誘電体層60、及び制御ゲート、すなわち、語線50を含む。このゲート誘電体膜71は、酸化シリコン、酸化窒化シリコン、窒化シリコン、又はなんらかの適当な材料を含む。フローティング・ゲート70及び制御ゲート50は多結晶シリコンを使用して形成し

4

てよく、なお制御ゲートはn形である。多結晶間誘電体層60は、通常、酸化物-窒化物-酸化物積層の形をした酸化シリコン (酸化物) 層と窒化シリコン (窒化物) 層の交互配置層を使用して形成してよい。プロセス中この時点で、PMOSトランジスタ及びNMOSトランジスタの個々のゲートはまだ形成されておらず、ブランケット多結晶シリコン膜40が領域100及び110を覆う。ホトレジスト層80がSASプロセスに使用されることになる基板上に形成されている。

【0012】図1Bは、ソース線が形成されることになるソース線領域85を露出するためにホトレジスト層80にパターニングを施し、かつNMOSトランジスタが形成されることになる領域110内の多結晶シリコンを同時に露出した後の図1Aの構造を示す。これは、NMOSトランジスタのゲートを形成するために使用されることになる多結晶シリコンがこの時点で露出されない先行プロセスと対照的である。先行プロセスの場合、NMOSトランジスタ及びPMOSトランジスタのゲート電極を形成するためばかりでなくNMOSトランジスタのゲート内へn形ドーパント・イオンを打ち込むために、追加のプロセスを遂行しなければならない。これらの追加プロセスは、埋込みフラッシュ集積回路の製作プロセス全体に複雑性及び費用を追加する。図1Cは、図1Bに115で示した方向に沿う図1Bの構造の断面図である。この図は、連続制御ゲート、すなわち、連続語線50、及びSAS領域を形成するために除去されることになるアソレーション領域30を示す。

【0013】図1Dは、アイソレーション酸化物のエッチング及びn形ドーパント打込みの後の図1Bの構造を示す。アイソレーション酸化物のエッチングは、ソース領域74と共に連続線を形成しかつ図1Dの面に入出して延びる領域85内の露出された全てのアイソレーション酸化物を除去する。これを図1Dの面117に沿う断面図である図1Eに示す。図1Eに示したように、アイソレーション領域、すなわち、トレンチ30内のアイソレーション材料が、基板のシリコン領域10を露出させるSASエッチング・プロセス中除去されている。図1Dに示したように、打ち込まれたn形ドーパント・イオン種120の結果、フラッシュ・メモリ・アレイ内のソース線77とNMOSトランジスタのゲート電極を形成するために使用されることになる多結晶シリコン膜40のn形領域130とを同時に形成する。このn形ドーパント・イオン種120は、リン・イオン又はヒ素イオン又は両者の組合わせを含んでよい。図1Eに示したように、n形ドーパント・イオン種120の打込みの結果、連続ソース線77を形成する。図1Dに示したように、領域100内の多結晶シリコン膜40の部分は、ホトレジスト層80によって打込みに対してマスクされておりかつPMOSトランジスタのゲートを形成するために使用されることになる。このプロセスの結果、ソース線の

5

形成とNMOSトランジスタのゲート電極を形成するために使用される多結晶シリコン膜のn形領域130のドーピングとが別々のステップで遂行される在来のプロセスと比較されるとき、マスクング・ステップの数を減少させる。アイソレーション酸化物のエッチング中、領域130内の多結晶シリコン膜の厚さが使用されたエッチング・プロセスのいかに応じて約50Åから200Åだけ減じられることになる。n形ドーパント・イオン種120の打込み及びなんらかの追加プロセスの後、ホトレジスト層80が除去され、及び新ホトレジスト層140が形成されかつパターンニングを施されてフラッシュ・メモリ・セルをマスクする一方で多結晶シリコン膜40の領域を露出し、これらの露出された領域がNMOSトランジスタ及びPMOSトランジスタのゲート電極を形成するためにエッチングにより除去されることになる。

【0014】図1Fは多結晶シリコンのエッチング・プロセス後の構造の断面図であり、NMOSトランジスタのゲート電極160及びPMOSトランジスタのゲート電極150を示す。ゲート電極150及び160を形成するために使用されるエッチング・プロセスは、ドーパント多結晶シリコン及びアンドープ多結晶シリコンの両方内に幅0.07から0.5μmの線を同時に形成することができる固有性質を有するべきである。ドーパント多結晶シリコン及びアンドープ多結晶シリコンの両方を超細線幅にまでエッチングを施す多結晶シリコンのエッチング・プロセス能力が本発明の利点である。本発明の実施の形態におけるゲート電極150及び160を形成する（すなわち、ドーパント多結晶シリコン及びアンドープ多結晶シリコンに同時にエッチングを施す）適当なエッチング・プロセスを説明する。この実施の形態において、ホトレジスト層140は、6000Å～8000Åの遠紫外線、すなわち、DUV（deep ultraviolet）ホトレジスト層を含みかつ1300Å～1700ÅのDUV反射防止被膜、すなわち、BARC145上に位置する。アイソレーション酸化物のエッチング・プロセスに続いて、ドーパント多結晶シリコン膜は約2500Åの厚さになりかつアンドープ多結晶シリコン膜は約2600Åの厚さになる。多結晶シリコン膜の下ゲート誘電体膜45は、約38Åの厚さである。プロセスは、減結合プラズマ源を備えるエッチング室内で遂行されかつ現場でのBARC及び多結晶シリコンのエッチング・プロセスを含み、下記のステップを用いる。

【0015】a) BARCのエッチング

HBr	85～100標準cm <sup>3</sup> /min
O <sub>2</sub>	15～20標準cm <sup>3</sup> /min
圧力	0.53～1.06Pa
電源電力	300～320W
バイアス電力	110～170W
陰極温度	55℃
壁/ドーム温度	80/80℃

6

エッチング時間 終点（3090Å波長）ただし35%オーバ・エッチング時間

【0016】b) 多結晶シリコンのブレイクスルー・エッチング

CF <sub>4</sub>	30～60標準cm <sup>3</sup> /min
圧力	0.40～0.93Pa
電源電力	400～800W
バイアス電力	25～60W
陰極温度	55℃
壁/ドーム温度	80/80℃
エッチング時間	10s

【0017】c) 多結晶シリコンの主エッチング（バルク・ステップ）

HBr	110～140標準cm <sup>3</sup> /min
Cl <sub>2</sub>	30～60標準cm <sup>3</sup> /min
HeO <sub>2</sub>	12～19標準cm <sup>3</sup> /min
圧力	0.40～1.39Pa
電源電力	500～600W
バイアス電力	25～60W
陰極温度	55℃
壁/ドーム温度	80/80℃
エッチング時間	50s

【0018】d) 多結晶シリコンの終点エッチング

HBr	130～170標準cm <sup>3</sup> /min
Cl <sub>2</sub>	60～80標準cm <sup>3</sup> /min
HeO <sub>2</sub>	15～20標準cm <sup>3</sup> /min
圧力	1.06～2.00Pa
電源電力	300～450W
バイアス電力	50W
陰極温度	55℃
壁/ドーム温度	80/80℃
エッチング時間	終点（2880Å波長）

【0019】e) 多結晶シリコンのオーバ・エッチング

HBr	130～170標準cm <sup>3</sup> /min
HeO <sub>2</sub>	9～13標準cm <sup>3</sup> /min
圧力	11.97～15.96Pa
電源電力	700～900W
バイアス電力	100～250W
陰極温度	55℃
壁/ドーム温度	80/80℃
エッチング時間	65s

【0020】BARCのエッチングは、かなり小さいエッチング・バイアスを有するように設計される。多結晶シリコンのエッチングは、SASアイソレーション・エッチング・プロセスに因るn形多結晶シリコン領域130のリセス（recess）のための余裕（～100

7

Å)を増すためにドーブ多結晶シリコンとアンドーブ多結晶シリコンとの間でかなり小さな差を有するように設計される。

【0021】図1Gは、ホトレジスト層140及びBARC145の除去の後の図1Fの構造を示す。埋込みフラッシュ集積回路は、標準半導体処理を使用して完成されることになる。

【0022】本発明を解説用実施の形態を参照して説明したが、この説明は限定的意味に解釈されることを意図しているのではない。解説用実施の形態の種々の変形及び組合わせばかりでなく本発明の他の実施の形態もこの説明を参照するならば当業者に明らかである。したがって、添付の特許請求の範囲は、このようなあらゆる変形又は実施の形態を包含することを意図する。

【0023】以上の説明に関して更に以下の項を開示する。

【0024】(1) 埋込みフラッシュ集積回路を製作する方法であって、半導体基板上にホトレジスト膜を形成するステップと、フラッシュ・メモリ・アレイ内のソース線領域とCMOS回路内の多結晶シリコン膜領域とを露出するために前記ホトレジスト膜にパターニングを施すステップであって、前記多結晶シリコン膜領域がNMOSTランジスタのゲート電極を形成するために使用されることになる前記パターニングを施すステップと、露出された前記ソース線領域と露出された前記多結晶シリコン膜領域とに同時にドーパント・イオン種を同時に打ち込むステップとを包含する方法。

【0025】(2) 第1項記載の方法であって、前記ソース線領域内の複数のアイソレーション領域にエッチングを施すステップを更に包含する方法。

【0026】(3) 第1項記載の方法において、前記ドーパント・イオン種がリンとヒ素とからなる群から選択される方法。

【0027】(4) 第1項記載の方法であって、NMOSTランジスタの少なくとも1つのゲート電極とPMOSTランジスタの少なくとも1つのゲート電極とを形成するために前記多結晶シリコン膜領域にパターニングを施しかつエッチングを施すステップを更に包含する方法。

【0028】(5) 第4項記載の方法において、前記多結晶シリコン膜領域に前記パターニングを施しかつエッチングを施すステップが前記多結晶シリコン膜領域上に反射防止被膜を形成するステップと、前記反射防止被膜上にホトレジスト膜を形成するステップと、前記多結晶シリコン膜領域のドーブ領域とアンドーブ領域との両方を露出するために前記ホトレジスト膜の部分にパターニングを施しかつ前記部分を除去するステップと、前記反射防止被膜にエッチングを施すステップと、前記多結晶シリコン膜領域の前記ドーブ領域と前記アンドーブ領域とに同時にエッチングを施すステップとを含む方法。

8

【0029】(6) 埋込みフラッシュ集積回路を製作する方法であって、半導体基板上にホトレジスト膜を形成するステップと、フラッシュ・メモリ・アレイ内のソース線領域とCMOS回路内の多結晶シリコン膜領域とを露出するために前記ホトレジスト膜にパターニングを施すステップと、前記ソース線領域内の複数のアイソレーション領域の下複数のシリコン領域を露出するために前記複数のアイソレーション領域にエッチングを施すステップと、露出された前記ソース線領域と露出された前記多結晶シリコン膜領域とにドーパント・イオン種を同時に打ち込むステップとNMOSTランジスタの少なくとも1つのゲート電極とPMOSTランジスタの少なくとも1つのゲート電極とを形成するために前記多結晶シリコン膜領域にパターニングを施しかつエッチングを施すステップとを包含する方法。

【0030】(7) 第6項記載の方法において、前記ドーパント・イオン種がリンとヒ素とからなる群から選択される方法。

【0031】(8) 第6項記載の方法において、前記多結晶シリコン膜領域に前記エッチングを施すステップが110~140標準cm<sup>3</sup>/minでプラズマ・エッチング装置内にHBrを流すことと、30~60標準cm<sup>3</sup>/minでプラズマ・エッチング装置内にCl<sub>2</sub>を流すことと、12~19標準cm<sup>3</sup>/minでプラズマ・エッチング装置内にHeO<sub>2</sub>を流すことと、0.40~0.93Paのプラズマ・エッチング装置室圧力を維持することと、500~600Wのプラズマ・エッチング装置電源電力を維持することと、25~60Wのプラズマ・エッチング装置バイアス電力を維持することと、55℃のプラズマ・エッチング装置陰極温度を維持することと、80℃のプラズマ・エッチング装置壁とドームとの温度を維持することと、2880Å波長を使用して終点検出器で以てエッチング時間を決定することを含む方法。

【0032】(9) ドーブ多結晶シリコンとアンドーブ多結晶シリコンとにパターニングを施しかつ同時にエッチングを施す方法であって、ドーブ領域とアンドーブ領域とを含む多結晶シリコン膜を用意するステップと、前記多結晶シリコン膜上に反射防止被膜を形成するステップと、前記反射防止被膜上にホトレジスト膜を形成するステップと、前記多結晶シリコン膜のドーブ領域とアンドーブ領域との両方を露出するために前記ホトレジスト膜の部分にパターニングを施しかつ前記部分を除去するステップと、前記反射防止被膜にエッチングを施すステップと、前記多結晶シリコン膜の前記ドーブ領域と前記アンドーブ領域とに同時にエッチングを施すステップとを包含する方法。

【0033】(10) 第9項記載の方法において、前記反射防止被膜に前記エッチングを施すステップが85~100標準cm<sup>3</sup>/minでプラズマ・エッチング装

9

置内にHBrを流すことと、15～20標準 $\text{cm}^3/\text{min}$ でプラズマ・エッチング装置内に $\text{O}_2$ を流すことと、0.53～1.06Paのプラズマ・エッチング装置室圧力を維持することと、300～320Wのプラズマ・エッチング装置電源電力を維持することと、110～170Wのプラズマ・エッチング装置バイアス電力を維持することと、55℃のプラズマ・エッチング装置陰極温度を維持することと、80℃のプラズマ・エッチング装置壁とドームとの温度を維持することと、35%オーバ・エッチング時間で以て3090Å波長を使用して終点検出器で以てエッチング時間を決定することを含む方法。

【0034】(11) 第9項記載の方法において、前記多結晶シリコン膜の前記ドーパ領域と前記アンドープ領域とに前記エッチングを施すステップが110～140標準 $\text{cm}^3/\text{min}$ でプラズマ・エッチング装置内にHBrを流すことと、30～60標準 $\text{cm}^3/\text{min}$ でプラズマ・エッチング装置内に $\text{Cl}_2$ を流すことと、12～19標準 $\text{cm}^3/\text{min}$ でプラズマ・エッチング装

米国特許番号又は  
米国特許出願番号

60/068, 543

1997年12月23日

60/117, 774

1999年 1月29日

\*

\*

#### 【図面の簡単な説明】

【図1A】図1Aは本発明の実施の形態におけるステップを説明するフラッシュ・メモリ・セル、PMOSトランジスタ及びNMOSトランジスタを含む埋込みフラッシュ集積回路の構造の断面図であって、基板上にホトレジスト層を形成した図。

【図1B】図1Bは同じくホトレジスト層にパターンニングを施した図。

【図1C】図1Cは同じく図1Bの線115に沿う断面図。

【図1D】図1Dは同じく図1Bの構造へ酸化物アイソレーション及びn形ドーパント打込みした図。

【図1E】図1Eは同じく図1Dの面117に沿う断面図。

【図1F】図1Fは同じく多結晶シリコンにエッチングを施した図。

【図1G】図1Gは同じく新ホトレジスト層及びBARCを除去した図。

#### 【符号の説明】

10 基板内のp形シリコン領域

10

\*置内に $\text{HeO}_2$ を流すことと、0.40～0.93Paのプラズマ・エッチング装置室圧力を維持することと、500～600Wのプラズマ・エッチング装置電源電力を維持することと、25～60Wのプラズマ・エッチング装置バイアス電力を維持することと、55℃のプラズマ・エッチング装置陰極温度を維持することと、80℃のプラズマ・エッチング装置壁とドームとの温度を維持することと、2880Å波長を使用して終点検出器で以てエッチング時間を決定することを含む方法。

【0035】(12) 埋込みフラッシュ・メモリ応用においてNMOS多結晶シリコンにドーパントを打ち込む方法が説明される。本方法では、NMOSトランジスタのゲート電極を形成するために使用することになる多結晶シリコン領域130とフラッシュ・メモリ・アレイ内のソース線とにドーパントを一緒に同時に打ち込む。

【0036】関連特許又は関連特許出願との相互参照  
下記の共通譲渡特許又は共通譲渡特許出願をここに列挙することによってそれらの内容を本明細書に組み入れてある。

出願日

TI 事件番号

TI-23167

TI-28594

TI-

20 基板内のn形シリコン領域

30 アイソレーション領域

40 多結晶シリコン膜

45 ゲート絶縁膜、トレンチ

50 制御ゲート、語線

30 60 多結晶シリコン間絶縁層

70 フローティング・ゲート

71 ゲート絶縁膜

72 n形ドイレン領域

74 p形ソース領域

77 ソース線

80 ホトレジスト層

85 ソース線領域

90 フラッシュ・メモリ・セル

120 n形ドーパント・イオン種

40 130 多結晶シリコン膜のn形領域

140 新ホトレジスト層

145 遠紫外線反射防止被膜、すなわち、BARC

150 PMOSトランジスタ・ゲート電極

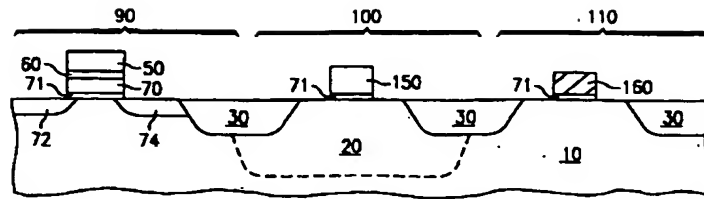
160 NMOSトランジスタ・ゲート電極

A cross-sectional view of a multi-layered circuit board. The board consists of a top layer (50) and a bottom layer (30) separated by a core (60). Three conductive pads (70) are mounted on the top layer. Each pad is connected to a corresponding pad (71) on the bottom layer through a through-hole (74). The bottom layer (30) also features a central layer (80) and a bottom-most layer (10).





【図1G】



フロントページの続き

(51)Int. Cl. 7

識別記号

F I

テーマコード(参考)

H 0 1 L 29/788

29/792

(72)発明者 トマス エム、アムブローズ  
 アメリカ合衆国 テキサス、リチャードソ  
 ン、バッキンガム ロード 530、ナンバ  
 ー 638